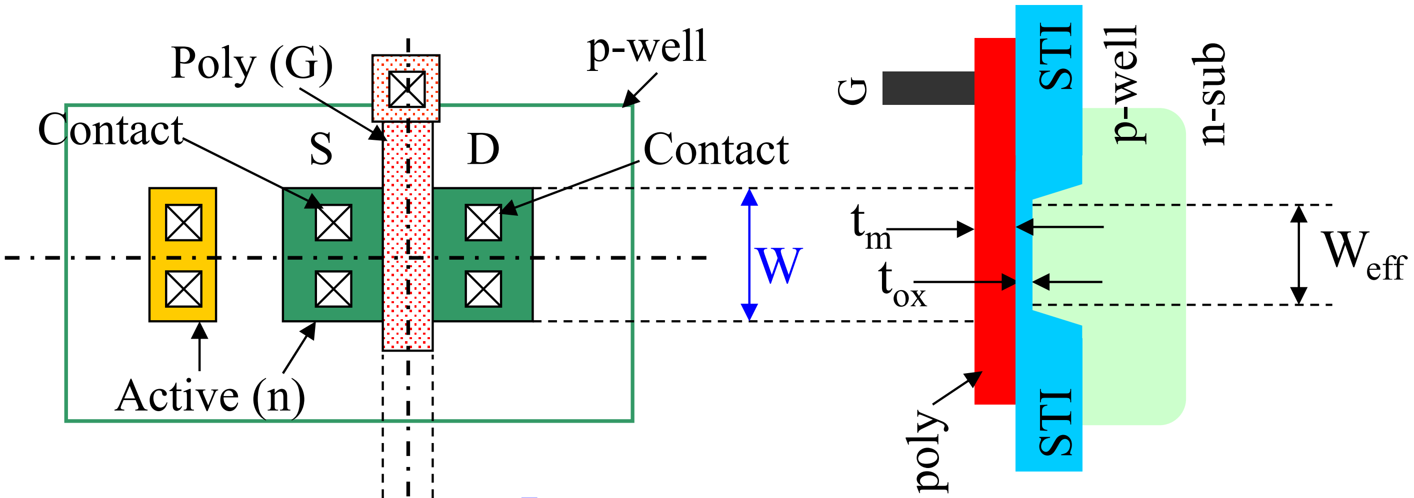
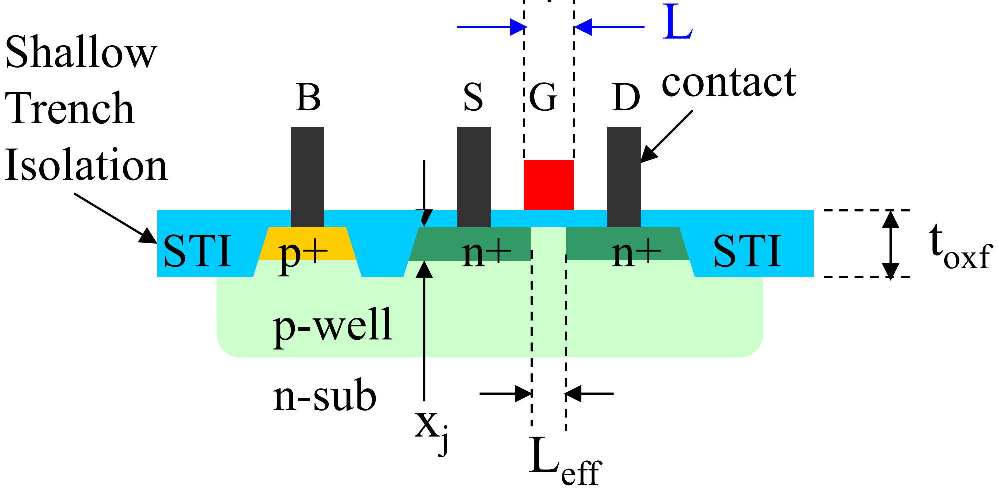
付録

MOSFET I-V特性モデルの導出

１　電流－電圧特性

MOSFETの構造パラメータ定義





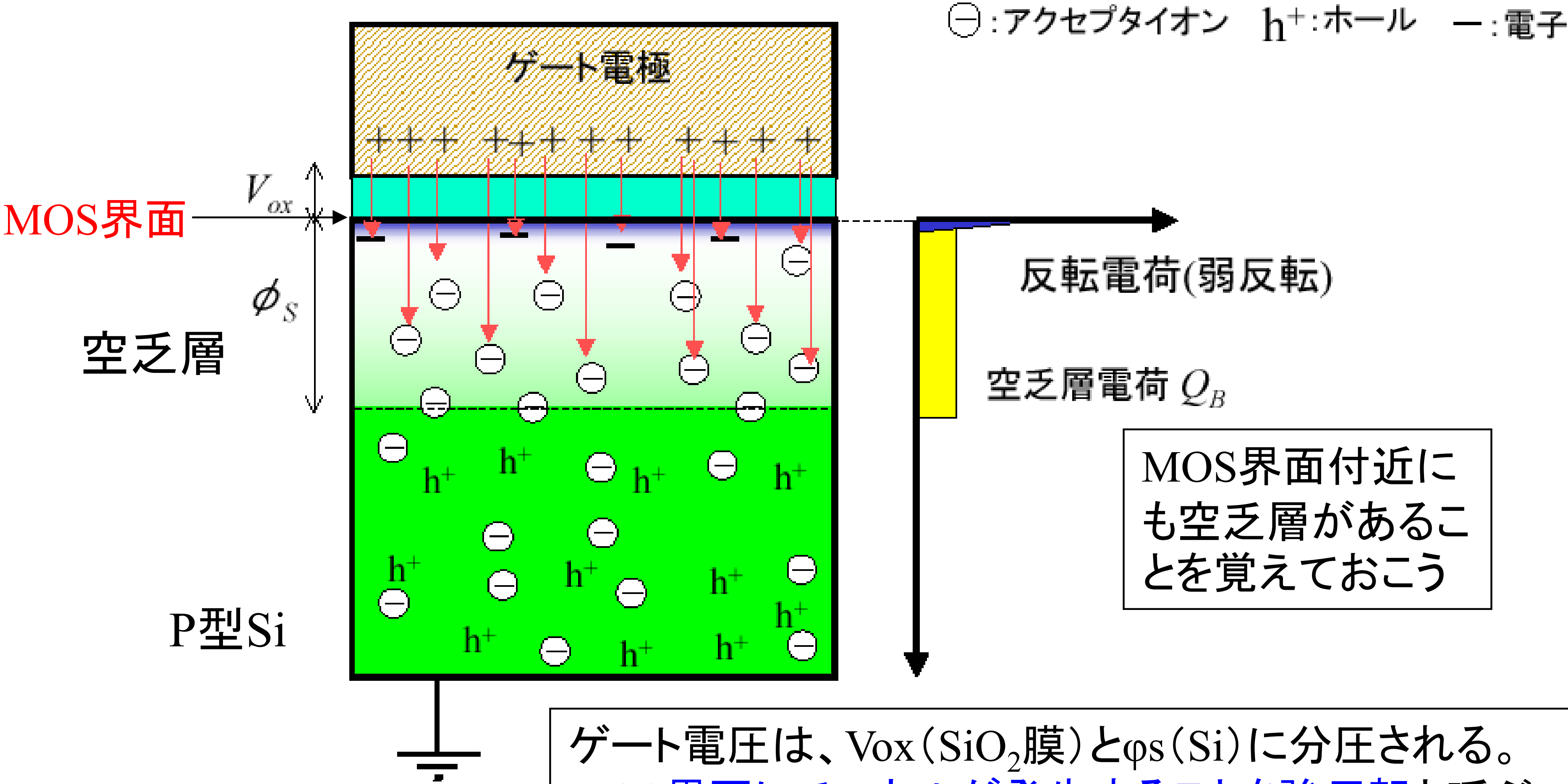
L: Gate length （ゲート長）
W: Gate width （ゲート幅）
L_{eff}: Effective channel length
W_{eff}: Effective channel width
x_j: Junction depth
t_{ox}: Gate oxide thickness（ゲート酸化膜厚）
t_{oxf}: Field oxide thickness
t_m: poly-Si thickness

MOSFETの主な構造パラメータ

記号	意味	0.5umプロセスでの値	設計パラメータ
L	ゲート長	0.5um	**設計時に決定**
W	ゲート幅	> 3um	**設計時に決定**
L_{eff}	実効ゲート長	Lより少し短い	プロセスに依存
W_{eff}	実効ゲート幅	Wより少し短い	プロセスに依存
x_j	ソース／ドレイン接合深さ	0.2um	プロセスに依存
t_{ox}	ゲート酸化膜厚さ	10nm (100Å)	プロセスに依存
t_{oxf}	フィールド酸化膜厚さ	1um	プロセスに依存
t_m	ポリシリコン厚さ	0.5um	プロセスに依存

※　厳密には、MOSFETの電気特性はL_{eff}, E_{eff}, t_{OX} によって決定されるが、本講義では、L_{eff}=L, W_{eff}=W と近似する。

ゲート電圧でチャネルのキャリアが制御される仕組み

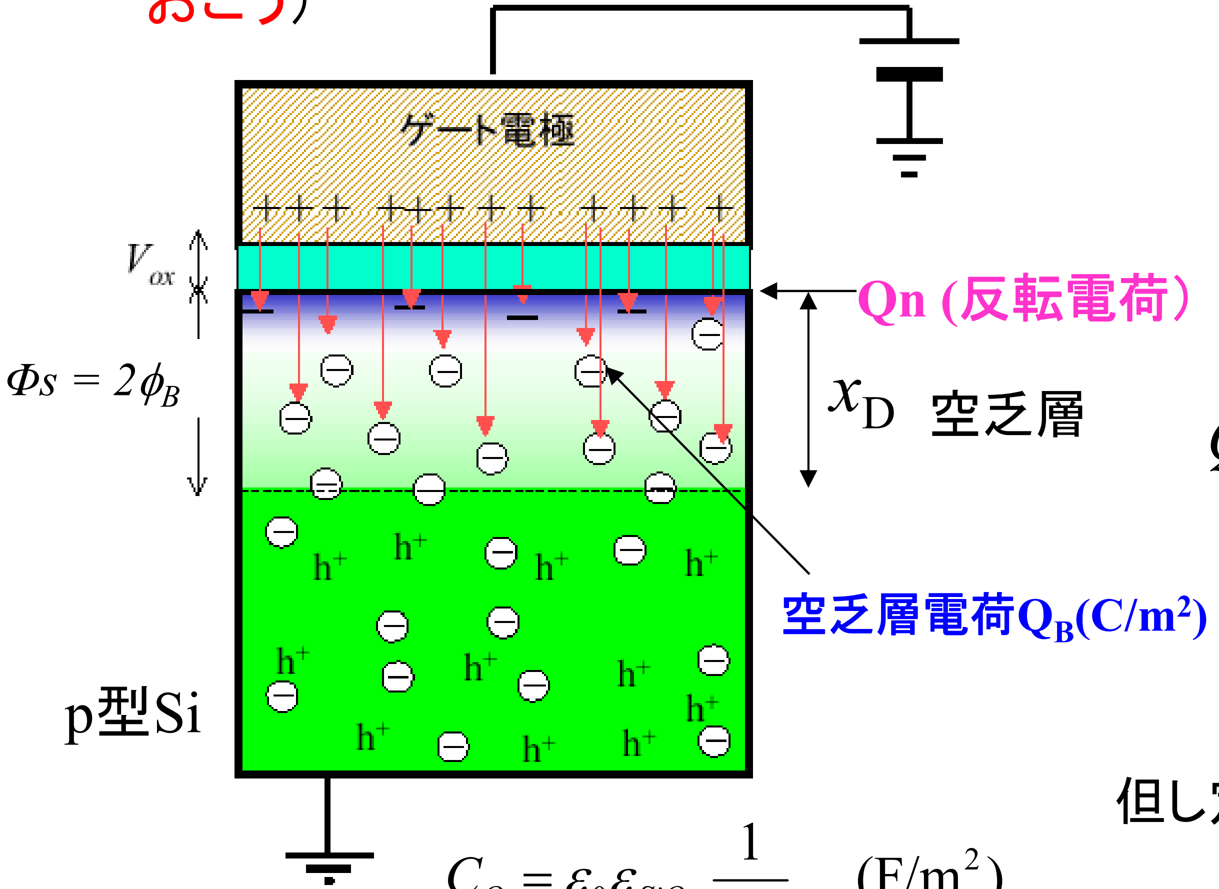


MOS界面付近にも空乏層があることを覚えておこう

ゲート電圧は、Vox（SiO_2膜）とφs（Si）に分圧される。
MOS界面にチャネルが発生することを強反転と呼ぶ。

チャネル電荷と閾値V_T (Threshold Voltage)

- $\phi_S = 2\phi_B$のとき、反転電荷Q_nが現れると定義（$2\phi_B$と表記するのにには物理的な意味があるが、ここでは、単なるチャネル形成条件と考えておこう）



$$C_O = \varepsilon_0 \varepsilon_{SiO_2} \frac{1}{t_{OX}} \quad (\mathrm{F/m^2})$$

$$\begin{cases} V_G = V_{OX} + 2\phi_B \\ V_{OX} = \dfrac{Q_n + Q_B}{C_O} \end{cases}$$

$$Q_n = C_O\left(V_G - \frac{Q_B}{C_{OX}} - 2\phi_B\right)$$

$$= C_O(V_G - V_T)$$

但し定数V_Tは $V_T = \dfrac{Q_B}{C_O} + 2\phi_B$

製造時の閾値V_Tの調整方法

- $V_G > V_T$ のとき単位面積に反転電荷Qnが現れ、MOSFETのチャネルが開通するので、V_Tは閾値と呼ばれる重要なパラメータである

$$Q_B = qN_A x_D \longleftarrow x_D = \sqrt{\frac{2\varepsilon_0 \varepsilon_{Si} \phi_S}{qN_A}} = \sqrt{\frac{2\varepsilon_0 \varepsilon_{Si} 2\phi_B}{qN_A}}$$

（ポアソンの方程式より計算、次頁参照）

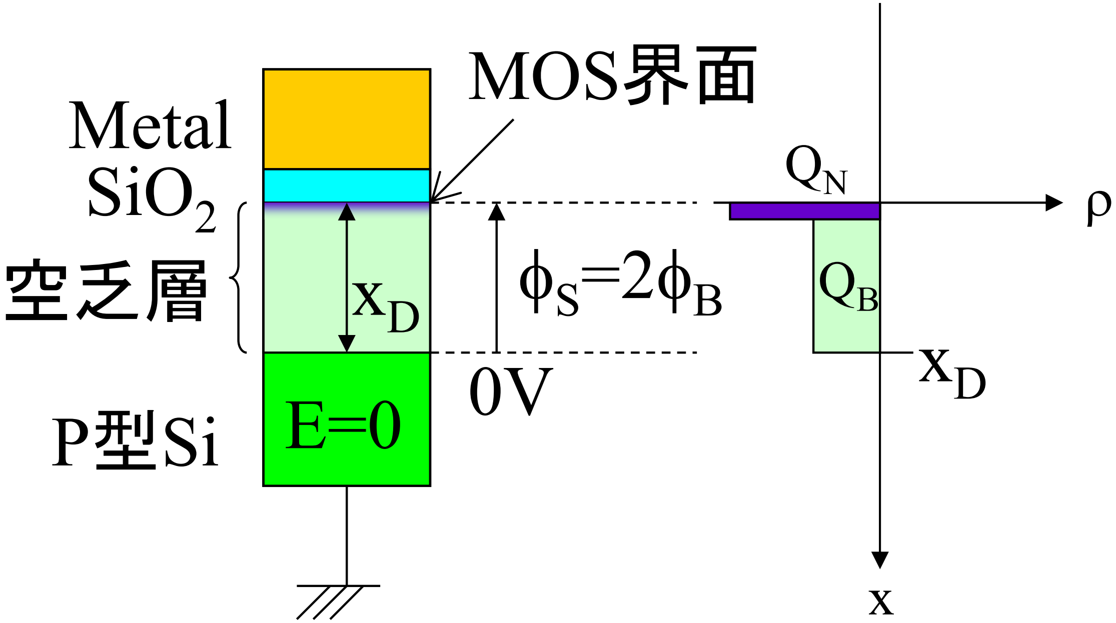
$$V_T = \frac{\sqrt{2\varepsilon_0 \varepsilon_{Si} qN_A 2\phi_B}}{C_{OX}} + 2\phi_B + V_{FB} = \gamma\sqrt{2\phi_B} + 2\phi_B + V_{FB}$$

P型不純物の量で調整できる

$$\gamma = \frac{\sqrt{2\varepsilon_0 \varepsilon_S qN_A}}{C_{OX}}$$

V_{FB}は理想値からの「ずれ」として導入した（Flat-band Voltageと呼ばれる）

MOSの空乏層幅x_Dの計算



$$\begin{cases} E(x = x_D) = -\dfrac{dV}{dx}\Big|_{x=x_D} = 0 \\ V(x = x_D) = 0 \end{cases}$$

の条件からV(x)を解いてみよう

$$V(x) = \frac{qN_A}{2\varepsilon_r\varepsilon_0}(x - x_D)^2$$

MOS界面の電位がϕ_Sのとき

$$V(x=0) = \phi_S = \frac{qN_A}{2\varepsilon_r\varepsilon_0}x_D^2$$

$$\therefore x_D = \sqrt{\frac{2\varepsilon_r\varepsilon_0\phi_S}{qN_A}}$$

電荷Q_Bに対するポアソンの方程式（※）

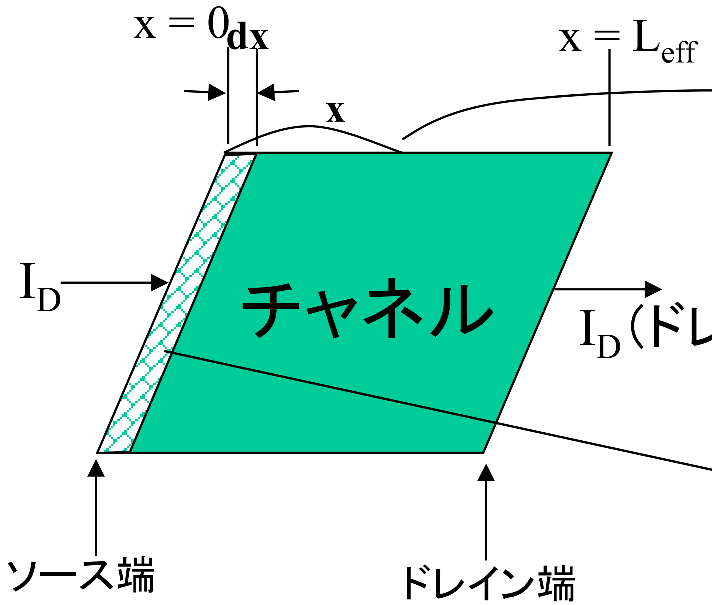
(空乏層の中にはキャリアが全く無いと近似)

$$\nabla\cdot(-\nabla V_n) = -\nabla^2 V_n = -\frac{d^2V}{dx^2} = \frac{qN_A}{\varepsilon_r\varepsilon_0}$$

※　ポアソンの方程式については、付録「電磁気学の復習」を参照

MOSFETの電流-電圧特性解析（1）

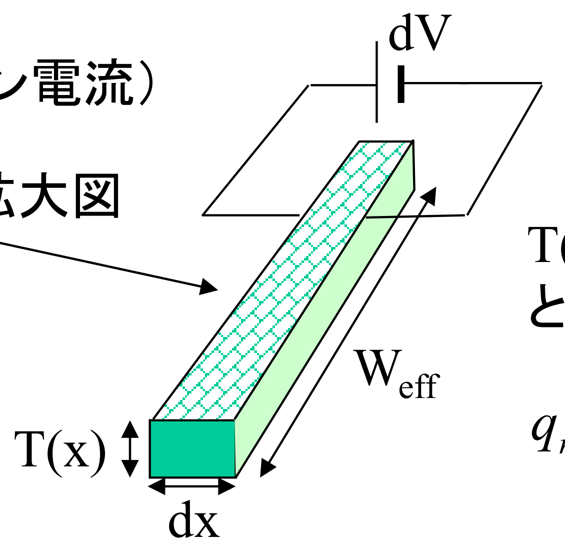
- Gradual Channel Approximation による解析



ゲート下のSiO_2/Si界面の模式図

$$Q_n(0) = C_{OX}(V_G - V_T)$$

$$Q_n(x) = C_{OX}(V_G - V_T - V(x))$$



T(x)をチャネルの厚さとすると

$$q_n(x) = \frac{Q_n(x)}{T(x)}$$

dxにdVの電圧がかかってる
xの位置では、ソースよりVだけ電位が下がっていると考える

$q_n(x)$: 反転電荷体積密度
Qn(x) : 反転電荷面密度

MOSFETの電流-電圧特性解析（2）

ドリフト電流密度 $J_D = q_n(x)(-\mu_n E) = q_n(x)\mu_n \dfrac{dV}{dx}$

ドリフト電流 $I_D = W_{eff} T(x) q_n(x)\mu_n \dfrac{dV}{dx}$

$$= W_{eff} Q_n(x)\mu_n \frac{dV}{dx}$$

μ_n：　電子の移動度(cm^2/Vs)

E：　チャネル内の水平方向電界(V/m)

$$I_D dx = W_{eff} Q_n(x)\mu_n dV$$

$$I_D \int_0^{L_{eff}} dx = W_{eff}\mu_n \int_0^{V_D} Q_n(x) dV$$ （I_Dは、位置xに依存しない）

$$I_D = \frac{W_{eff}}{L_{eff}}\mu_n C_{OX}\int_0^{V_D}(V_G - V_T - V)dV$$

$$\boxed{= \frac{W_{eff}}{L_{eff}}\mu_n C_{OX}\{(V_G - V_T)V_D - \frac{1}{2}V_D^2\}}$$

MOSFETの線形領域特性
（記憶すること）

MOSFETの電流-電圧特性解析（３）

- 線形領域と飽和領域は連続しているので、$V_D = V_G - V_T$ を代入した値が、飽和領域の電流I_{Dsat}となる

$$
\begin{cases}
I_D = \dfrac{W_{eff}}{L_{eff}} \mu_n C_{OX} \{(V_G - V_T)V_D - \dfrac{1}{2}V_D^2\} = \beta_n \{(V_G - V_T)V_D - \dfrac{1}{2}V_D^2\} \\
V_D = V_G - V_T
\end{cases}
$$

$$\beta_n = \frac{W_{eff}}{L_{eff}} \mu_n C_{OX}$$ とおいた（利得係数）

↓

$$I_{Dsat} = \frac{W_{eff}}{2L_{eff}} \mu_n C_{OX} (V_G - V_T)^2 = \boxed{\frac{\beta_n}{2}(V_G - V_T)^2}$$

MOSFETの飽和領域特性
（記憶すること）

飽和領域のドレイン電流は、V_Gで値が決まる電流源と考えられる