

参考資料 Dolphin SMASH Quick Start

VDEC で、SPICE(Spectre), Verilog-A, Verilog-HDL(IEEE-1364)の AMS(Analog Mixed Signal) シミュレーションができる CAD ツールが配布されているが、自分の PC で手軽に AMS シミュレーションしたい場合に使用できる、SMASH 評価バージョンの紹介を行う。SPICE, Verilog-HDL, Verilog-AMS, VHDL, VHDL-AMS, ABCD, SystemC のミクストラングージ・シミュレーションに対応している。評価バージョン(Seduction と表記されている)は、回路規模 (SPICE ネット数、Verilog/VHDL 信号数など) に制限があるが、小規模な ADC やフィルタぐらいならシミュレーション可能である。

1. インストール

- (1) Dolphin 社のホームページ <http://www.dolphin.fr/> から、SMASH のダウンロードページを探す。たぶん、Products > SMASH > Download で見つかる。
- (2) Windows, RHE Linux, Solaris の Seduction バージョンが用意されているので、自分の環境に合ったものを、選んでクリック。
- (3) 個人情報とアンケートの入力フォーマットが表示されるので、必須項目に入力して、Submit をクリック。Email アドレスは、ダウンロードアドレスの情報が返信されるので、受信可能なアドレスを入力すること。
- (4) ダウンロードアドレスの案内メールが届いたら、指示に従って、ダウンロードおよびインストールを行う。

以下、Windows にインストールされた SMASH のシミュレーション手順について述べる。

2. 記述入力

SMASH を起動し、メニューから File > New を選ぶと、テキストエディタが起動するので、設計記述を入力し、*.nsx のファイル名で保存する。アナログ HDL 記述については、一旦コンパイルする必要があるため (自動的に行われる)、別ファイルに入力し、*.vams などのファイル名で保存する。ただし、まだサポートされていない Verilog-AMS の関数もあるようだ。Verilog-AMS のディシプリンと定数の定義ファイル (disciplines.vams, constants.vams) は、プロジェクトの保存ディレクトリと同じディレクトリにコピーしておくといよい。定義ファイルは、C:\Program Files\Dolphin\Smash5101\examples\Verilog-Ams\packages にインストールされている。ライブラリファイル、シミュレーション内容、表示内容などの指示は、パターンファイルに入力し、*.pat のファイル名で保存する。保存した記述は、メニューから、File > Open Circuit... で開くことができる。

(1) ネットリスト入力

言語識別子は、>>> で開始する。

>>> SPICE これ以降は SPICE ネットリスト

>>> VERILOG これ以降は Verilog-HDL

>>> VHDL これ以降は VHDL

この識別子により、一つのサーキット、サブサーキット、モジュール内でも複数の言語記述を混在させることができる。

ネットリストには、SPICE ネットリスト、Verilog-HDL の module, VHDL の entity と architecture のみを記述する。アナログ HDL 記述は、別ファイルに記述する。

記述例

ex1.nsx

```
>>> SPICE
// RC OSC --- コメントは、//, /**, * などが使える
xinv1  1 2    inv
xinv2  2 3    inv
xinv3  3 4    inv
//
// >>> VERILOG
// inv xinv(.in(1), .out(2));
// のような Verilog 形式のインスタンス記述でも通る
//
C1      3 1    1nF
R1      4 1    10k
C2      2 0    1pF
// LPF
xopa    0 5 6  opa_id
R2      4 5    1k
R3      5 6    1k
C3      5 6    1pF
RL      6 0    100k

>>> VERILOG
// Inverter
module inv (in, out);
    input  in;
    output out;
    assign out = ~in;
endmodule
```

ex1.vams

```
`include "disciplines.vams"
`include "constants.vams"

module opa_id(inp, inn, out);
    inout inp, inn, out;
    electrical inp, inn, out;

    // dc gain = 100 (dB)
    parameter real GAIN = 100000;

    analog begin
        V(out) <+ GAIN * V(inp, inn);
    end
endmodule
```

(2) パターンファイル入力

シミュレータへの指示は、パターンファイルに記述し、*.pat のファイル名で保存する。

- デバイスモデルファイルや Verilog-A ファイルなどを指定する

```
.LIB "ファイル名"
```

- Verilog-HDL のトップモジュールを指定する（トップが Verilog-HDL の場合）

```
.ELABORATE トップモジュール名
```

- シミュレーションの指示を行う

```
.DC ソース電圧源/電流源 開始 終了 ステップ
```

```
.AC DEC|LIN ポイント数 開始周波数 終了周波数
```

```
.TRAN 表示間隔時間 シミュレーション終了時刻 表示開始時刻
```

- 初期値の設定

```
.IC V(ネット名)=初期値
```

- アナログ信号の表示設定

```
.TRACE 解析タイプ V|I (ノード名) MAX=最小値 MIN=最大値
```

.TRACE は、シミュレーション後に表示信号を選ぶと自動的に作成されるので、それを編集するとよい。その他の SPICE で使用されるディレクティブその他のコマンドが使用できる。詳しくは Reference Manual を参照

ex1.pat

```
.LIB "ex1.vams"
.IC V(1) = 0V
.TRAN 1ns 20us 0s
```

3. シミュレーションの実行

メニューから、**Simulate > 解析タイプ > Run** でシミュレーション開始する。ADD Traces フォームが表示されるので、**Circuit** と表示されたチップパッケージのアイコン右の+マークをクリックし、表示したい信号を選択する。複数選択は、**CTRL** キーを押しながらクリックする。**ADD** ボタンをクリックすると、グラフが表示される。

表示する信号を追加したい場合は、メニューから **Waveforms > Trace** でトレースのタイプを選択する。

条件を変えてシミュレーションをやり直す場合は、緑色の三角ボタンをクリックする。

.nsx ファイルを編集して、シミュレーションをやり直す場合は、メニューから **File > Open Circuit...** を選択し、**Simulate > 解析タイプ > Run** をやり直す。